

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

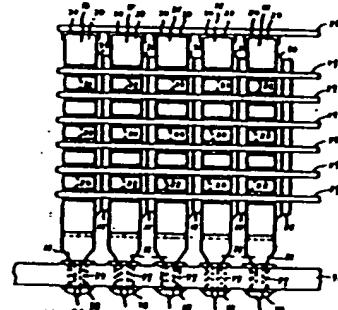
JA 0112348
JUL 1983

(54) SEMICONDUCTOR DEVICE

(11) 58-112348 (A) (13) 4.7.1983 (19) JP
(21) Appl. No. 56-211715 (22) 25.12.1981
(71) FUJITSU K.K. (72) NOBUHIKO MIZUO
(51) Int. Cl. H01L23/12, H01L23/48

PURPOSE: To obtain a chip carrier mounted semiconductor device having a structure that the device can be loaded vertically to a wiring substrate.

CONSTITUTION: In a structure wherein the mount density is most enhanced, semiconductor memory devices 35 are erected and arranged on the wiring substrate in a state that each is contacted on the upper and lower surfaces, and the pin external conductive terminal 21 of each semiconductor memory device 35 is inserted into a fixed through hole 37 in the wiring substrate 36, then soldered and fixed. On a coat external conductive terminal 22 the common signal wires constituted respectively of conductor 39 are soldered at every row. Two pieces of the pin external conductive terminal are provided, but any number of pieces are available, as required. Or, one, which is bar form and formed by burying one end in the carrier, can be also used. While, the cap can be formed of ceramics. Further, it is applicable to a metallic package and a plastic package.



⑪ 公開特許公報 (A)

昭58-112348

⑫ Int. Cl.
H 01 L 23/12
23/48

識別記号

厅内整理番号
7357-5F
7357-5F

⑬ 公開 昭和58年(1983)7月4日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭56-211715
⑯ 出 願 昭56(1981)12月25日
⑰ 発明者 水尾允彦川崎市中原区上小田中1015番地
富士通株式会社内⑱ 出願人 富士通株式会社
川崎市中原区上小田中1015番地
⑲ 代理人 弁理士 松岡宏四郎

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

半導体チップが、一外部側面にピン状の外部端子と電極子を有し、他の外部側面に皆開状の外部端子と電極子を有するチップ・キャリアに実装されてなることを特徴とする半導体装置。

3. 発明の詳細な説明

4. 発明の技術分野

本発明は半導体チップがチップ・キャリアに実装された半導体装置に係り、特に半導体チップとして半導体ノード電極子がチップ・キャリアに実装された半導体装置に於ける外部端子電極子の構造にに関するものである。

5. 技術の背景

計算機システム等の大規模化に伴い、計算機システムに実装される半導体ノード電極子等の半導体装置用(, I.C.)電子の数は非常に膨大となつてきており、このことはシステムの大規模化を阻害する。

それに伴ってシステム内の配線長が長くなり計算機の低下を招く。そこで、計算機システム等に対する半導体 I.C. 電子の実装密度を高めシステムの大規模化を説く手段として提供されたのが、チップ・キャリア実装構造の半導体 I.C. 装置である。

6. 前末技術と問題点

従来から用いられているチップ・キャリアの中で、最も実装密度が高められる構造にリードレス・チップ・キャリアがある。第1図はリードレス・チップ・キャリアに実装された半導体 I.C. 装置における一例の断面図及び底面図を示したものである。そして断面に於て 1 はセラミック基板、2 はセラミック枠、3 は基板に金 (Au) めっき等が施されたチップ・ステージ、4 は基板に Au めっき等が施されている内部配線、5 は内部配線からそれぞれ露出される Au めっき等が施されている外部配線、6 は外部配線がそれぞれ断面に露出され断面に Au めっき等が施された皆開状の外部端子、7 はチップララ付用メタライズ層、8 は金属キャップ、9 は金 (Au) 合金等のラウズ。

10は半導体ICチップ、11はバンディング・ワット、12はアルミニウム(A-L)等のバンディング・ワイヤ、13は金(A-G)／シリコン(81)層を示している。

このような構造を有する従来のチップ・キャリヤに実装された半導体IC装置は、計算機システム等に配設される配線基板に対して底面を下にして水平に(平田)実装される。その実装状態を示したのが図2 図で、図中1-4は前記チップ・キャリヤ実装構造の半導体IC装置、1-5はセラミクス成るいはプラスチクスにより形成された配線基板、1-6は配線パターン、6は前記外端端子、11は平田等のろう材を反応させている。

上記のように代表のナップ・キャリアは技術開発の半導体IC装置に於ては配線基板に対して平滑な表面が求められるために、ナップ・キャリアの平滑化によって実装密度が向上され更に実装密度を高めることができなかった。

◎ 早期应用

本邦国内上場証券化商品、民間基準に対して

ア・キャリア 23 上に例えば金属キャップ 25 が
固定されてなっている。金属キャップ 25 が
ア 23 に於けるピン状外部導電端子 21 は、通常
導通の内部配線 26 からナップ・キャリア 23
の一周間に延びた外部配線 27 上に鉛／ニ
ッケル合金等通常の端子材料からなる例えはピン
状打抜き加工片が銀ろう 28 等によりろう付けさ
れて形成され、又被覆状外部導電端子 22 は内部
配線 26 からナップ・キャリア 23 の配以外
の三周間に延びた外部配線 27 上に金めつ
等が施されて形成される。そして半導体ノモリ
・ナップ 26 は通常導通のナップ・スチーナ 29
上に金／シリコン合金 30 等を介してろう付けさ
れ、例えば被覆半導体ノモリ・ナップ 24 0 ナップ
25 はセレクト端子等ナップ固有の信号が施されるペ
ンド端子 31 とピン状外部導電端子に接続する
内部配線 26 とがアルミニウム等のピンディン
グ・ワイヤ 31 により接続される。又入出力端子、
電源端子等各ノモリ・ナップに対して共通に配線
されるペンド端子 31 と被覆状外部導電端子 22

画面に映写することが可能な構造を有するナ・ア・キャリア実鏡の半導体映写機を提供し、実鏡映写を向上せしめることを目的とする。

(e) ମନ୍ତ୍ରମାଲା

本発明は半導体装置に於て、半導体チップが、一外部側面にピン状の導電端子を有し他の外部側面に被覆状の導電端子を有するチップ・キャリアに実装されてなることを特徴とする。

(n) 先明の天地圖

以下本発明を、半導体メモリ装置に於ける一実施例について、第3図に示す上面図H)、側面図I)、A-A'矢印断面図J)、下面図K)、及び第2図に示す実験方法に於ける一実施例の上面図L)、側面図M)を用いて詳細に説明する。

本発明を適用した半導体ノモリ装置は、例えば第3回(1)、(2)、(3)、(4)に示すよう、一側面に例えば2(本)のピン状外部導電端子21が配設され、他の三側面に所要数の板状外部導電端子22が配設されたセラミック・ナップ・キャリア23内に半導体ノモリ・ナップ24が収載され、該ナップ24

に接続する内部配線 2-6」とがサンディング・ワイヤ 3-2 により接続される。本発明の構造に於ては、通常このようにピン状外部導電端子 2-1 をテープ・セレクト端子等各ノモリ装置に固定有する端子とし、被膜状外部導電端子 2-2 を入出力端子或るいは電極端子等各ノモリ装置に対する共通信号の端子とする。そして上記のように半導体ノモリ・テープ 2-4 が実装されたテープ・キャリア 2-1 上面に形成されている通常構造の制止部 3-3 上に始／結合金等のろう材 3-4 を介して金具キャップ 2-5 が気密にろう付けされてなっている。

本発明の構造を有する半導体装置は、該半導体装置に配設されたピン状外部導電端子を介して配基板上に立てて置かれることがである。

第4回は前記実験例に示した半導体ノモグラフの実験例を示したもので、図中21はピン状外端電極子（脚有付外端子）、22は板端状外端電極子（共通端子）、23はセラミック・チップ・キャリア、25は金属性チップ、34はねうす材、35は半導体ノモグラフ、36はφ

ア、26420266111
ト社外馬配種、28社外馬
アーリ、30日金/シリコ
ン社外、ド君子、32社外
33社外馬、34ねろ、
7頭馬、35社外馬高馬、
36社外馬、37社外馬高馬、

代理人 金四九

(1) 本明の効果

以上説明したように本発明の構造を有する半導体装置は、記憶基板上に立てて実装することができる。そこで第1回に示すような記憶基板上への実装方法が可能であり、図からも明らかのように従来の平面実装構造に比べて実装面積を大幅に内上せしめることができる。

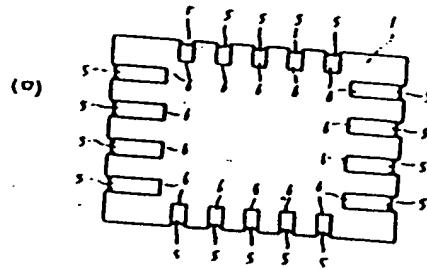
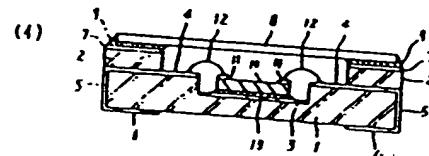
又って本発明は計算機システム等の高密度化、小型化に対して有効である。

4. 図面の簡単な説明

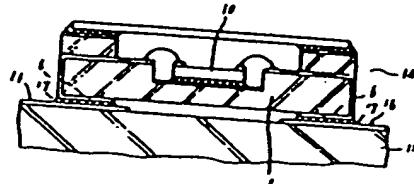
第1回は従来構造の断面図(1)及び下部回(2)、第2回は従来の実装構造の断面構成図、第3回は本発明の半導体装置に対する一実装例の上部回(1)、側面回(2)、A-A'矢印断面回(3)、下部回(4)、第4回は本発明の半導体装置に対する一実装例の上部回(1)及び側面回(2)である。

図に於て、21はピン状外部導電端子(固有信号端子)、22は被覆状外部導電端子(共通信号端子)、23はセラミック・チップ・キャリア、24は半導体ノセリ・チップ、25は金属キャップである。

第1回



第2回



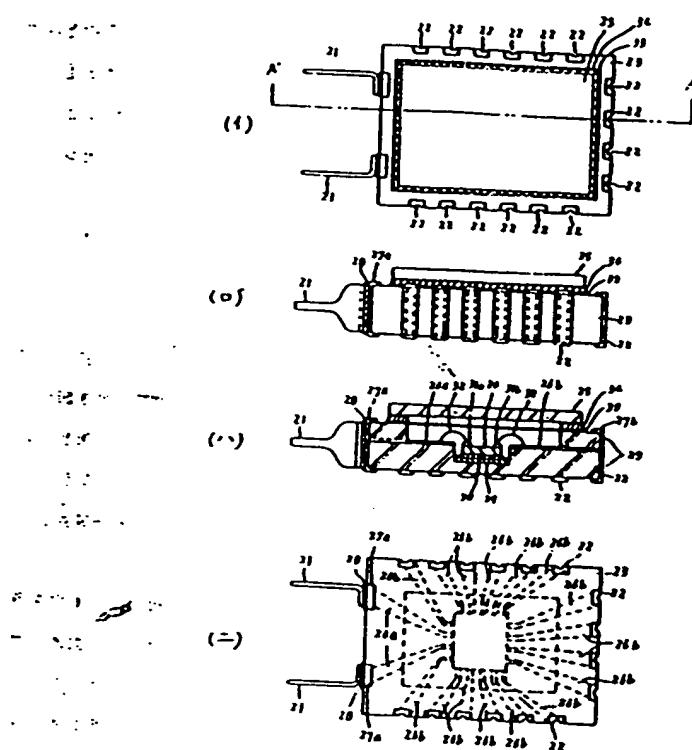


图 4 四

